

Comunicação Serial Empregando FPGA para um Sistema de Múltiplos Conversores.

Ademir Toebe¹, Cassiano Rech², Tadeu Vargas³, Clecio Fischer⁴

1. Estudante de IC da Universidade Federal de Santa Maria - UFSM; *ademir.eng.eletrica@gmail.com
2. Professor e pesquisador do Depto.de Processamento De Energia Elétrica (DPEE) – UFSM;
3. Doutorando do Programa de Pós Graduação de Engenharia Elétrica (PPGEE) – UFSM;
4. Estudante de IC da Universidade Federal de Santa Maria - UFSM

Palavras Chave: Comunicação, DSP, FPGA.

Introdução

Em algumas aplicações na área de Eletrônica de Potência, algumas topologias são implementadas de forma modular, com múltiplos conversores estáticos de potência, permitindo que níveis de potência, corrente e tensões diferentes possam ser processados adicionando-se ou removendo-se um módulo. Entretanto, a partir do momento em que se modulariza um sistema, surge a necessidade de se utilizar uma comunicação eficiente entre todos os componentes do sistema.

Neste trabalho é apresentada uma solução utilizando-se um sistema de controle global composto por um Processador digital de sinais (DSP – *Digital Signal Processor*) e um dispositivo de portas lógicas programáveis (FPGA – *Field Programmable Gate Array*) para gerenciar a comunicação.

Resultados e Discussão

O sistema de controle possui um DSP central, o TMS320F28335 da Texas Instruments, que é responsável por processar as informações de uma maneira global a partir das informações individuais provenientes de cada módulo. O DSP central tem a função de gerar as referências apropriadas para que cada módulo possa efetuar o controle local e acionamento das chaves que atuam no processo. Para gerenciar a comunicação utilizou-se o FPGA Spartan3E-500 FG320 da empresa Xilinx.

A comunicação entre o DSP central e o FPGA ocorre utilizando-se um barramento paralelo de 8 bits para a transmissão de dados e um barramento paralelo de 8 bits para a recepção dos dados. Além disso, um terceiro barramento de 8 bits é utilizado para o controle do processo, sendo o DSP central responsável pelo controle do fluxo de dados. Para reduzir a carga de processamento da CPU do DSP, é utilizado o acesso direto a memória (DMA – *Direct Memory Access*), permitindo que algum evento independente da interferência do processador efetue o controle da leitura ou gravação da memória.

A comunicação do FPGA com os módulos é efetuada utilizando-se um canal de transmissão e recepção Serial Assíncrono (UART – *Universal Asynchronous Receiver Transmitter*) independente para cada módulo. A figura 1 ilustra a sistema desenvolvido. A taxa máxima de transmissão alcançada foi de 2,344Mb/s, limitado pelas configurações dos registradores de clock do DSP.

Na comunicação UART normalmente cada byte é composto por 1 bit de início, 7 ou 8 bits de dados, 1 bit de paridade (suprimido em alguns casos) e 1 bit de parada. A tabela 1 apresenta as variáveis que podem ser transmitidas por período de PWM para a máxima taxa de transferência alcançada de 2,34MB/s.

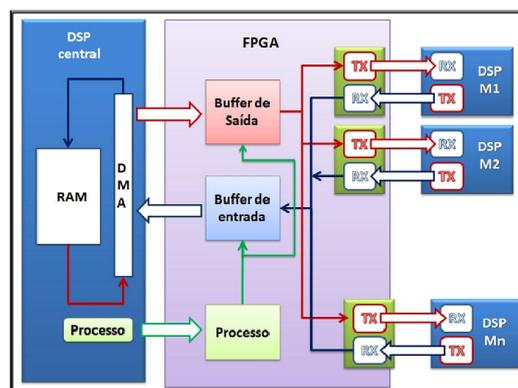


Figura 1. Diagrama do sistema de comunicação.

Tabela 1. Variáveis transmitidas por período de PWM.

2,34MB/s	Sem paridade		Com Paridade	
	8 bits	16 bits	8 bits	16 bits
PWM				
1kHz	234	117	213	106
5kHz	46	23	42	21
10kHz	23	11	21	10
15kHz	15	7	14	7
20kHz	11	5	10	5

Conclusões

Uma vez que cada módulo possui um canal exclusivo, operando na taxa máxima, a limitação agora é transferida para o barramento paralelo que deve ter a capacidade de transmitir 2,34Mb/s vezes o número de módulos. Considerando a frequência do PWM de 20kHz, 5 palavras de 16 bits poderão ser transferidas a cada período, por módulo. Surge então, uma limitação quanto à frequência do PWM que será utilizada.

Agradecimentos

À Fundação de Amparo à Pesquisa do estado do Rio Grande do Sul (FAPERGS) e à Companhia Estadual de Energia Elétrica (CEEE) pelo apoio financeiro para a execução deste trabalho.

[1] TEXAS INSTRUMENTS. TMS320F28335, TMS320F28334, TMS320F28332, TMS320F28235, TMS320F28234, TMS320F28232 Digital Signal Controllers (DSCs): Data Manual. Manual de referência n° SPRS439M. Junho de 2007. Disponível em < <http://www.ti.com/lit/ds/symlink/tms320f28335.pdf> >. Acesso em 14/05/2013.

[2] DIGILENT. Nexys2™ Board Reference Manual. Manual de referência n° 502-134. Disponível em < http://www.digilentinc.com/Data/Products/NEXYS2/Nexys2_rm.pdf > Acesso em 8/06/2014.