

Estudo de Transistores 3D: Redução do Efeito Transistor Lateral Parasitário Usando uma configuração de Limiar Dinâmico.

José Augusto Padovese Peixoto¹, Ricardo C. Rangel², João Antonio Martino³.

1. Estudante da Escola Politécnica da Universidade de São Paulo - EPUSP; *jose.peixoto@usp.br

2. Pesquisador do Departamento de Engenharia de Sistemas Eletrônicos, PSI-EPUSP, São Paulo/SP

3. Professor Titular do Departamento de Engenharia de Sistemas Eletrônicos, PSI-EPUSP, São Paulo/SP

Palavras Chave: Transistor FD SOI, eDTMOS, Transistor 3D

Introdução

Neste trabalho é proposto o uso da configuração "enhanced Dynamic Threshold Voltage" (eDTMOS) para transistores SOI MOSFET a fim de reduzir o efeito do Transistor Lateral Parasitário. Foi usada a tecnologia Fully Depleted (FD) SOI desenvolvida na USP [1].

O Transistor Lateral Parasitário é causado pela segregação do boro para o óxido de silício. Isso diminui a dopagem na borda do canal e cria um dispositivo fino com menor tensão de limiar (V_{TH}) em paralelo com o transistor principal [2] que aumenta a corrente de fuga na região de sublimiar e deforma a curva da corrente de dreno (I_{DS}) versus tensão de porta (V_{GS}).

A configuração eDTMOS melhora várias características elétricas do transistor como corrente de dreno, transcondutância, inclinação de sublimiar e reduz o efeito do Transistor Lateral Parasitário devido à redução dinâmica da tensão de limiar com a tensão de porta.

A tecnologia SOI é a utilizada atualmente na fabricação de circuitos integrados para nós tecnológicos menores ou iguais a 28 nm.

Resultados e Discussão

A configuração eDTMOS foi implementada indexando a tensão de substrato (V_{GB}) à tensão de porta (V_{GS}) multiplicada por uma constante k , que variou entre 0 e 40, como segue:

$$V_{GB} = k \times V_{GS} \quad (1)$$

Como a tensão de limiar (V_{TH}) do transistor lateral é praticamente insensível à polarização do substrato [1], tentou-se aumentar k de forma que V_{TH} do transistor principal ficasse próxima ou até menor que V_{TH} do transistor lateral, reduzindo, desse modo, o efeito parasitário.

Os dispositivos estudados tinham largura de canal (W) fixa em $12\mu\text{m}$ e comprimento de canal (L) variável de $1\mu\text{m}$ a $50\mu\text{m}$. Foram extraídas curvas $I_{DS} \times V_{GS}$ para diferentes valores de k , usadas para obter diversos parâmetros elétricos.

Foi observada uma expressiva melhora nos parâmetros dos transistores, tais como transcondutância e inclinação de sublimiar, além de significativa redução do efeito Transistor Lateral Parasitário conforme se aumenta a constante k . Na curva $I_{DS} \times V_{GS}$ da Figura 1 é possível observar, conforme aumenta-se k , maior corrente de dreno para uma dada tensão de porta e uma redução do "ombro", a anomalia causada pelo transistor Lateral Parasitário, sinal da aproximação das tensões de limiar.

Confirma-se tal aproximação na Figura 2, que mostra as tensões de limiar dos dispositivos principal e lateral em função de k . Observa-se uma redução drástica da tensão de limiar do transistor principal enquanto V_{TH} do dispositivo lateral permanece praticamente constante.

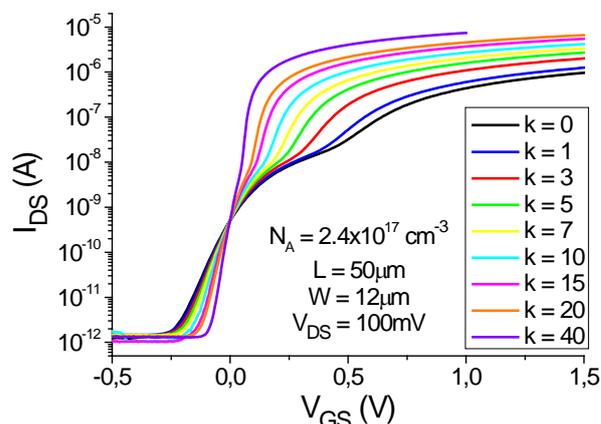


Figura 1. Curva $I_{DS} \times V_{GS}$ em função de k .

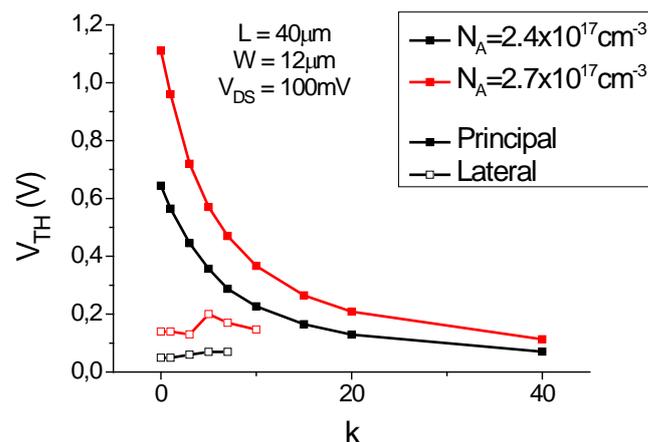


Figura 2. V_{TH} dos dispositivos principal e lateral função de k .

Conclusões

O efeito Transistor Lateral Parasitário foi bastante reduzido devido a configuração eDTMOS, além de melhorar as principais características elétricas dos dispositivos tais como maior transcondutância e melhor inclinação de sublimiar, tornando o transistor com funcionamento equivalente aos obtidos por transistores de duas portas, também conhecido como transistor 3D.

Agradecimentos

Os autores agradecem ao CNPq pelo apoio financeiro durante a realização deste trabalho.

[1] Rangel, R. C., *Sequência simples de fabricação de transistores SOI nMOSFET*. 2014. Tese (Mestrado) – Escola Politécnica, Universidade de São Paulo, São Paulo

[2] Colinge, J. P. *Silicon-on-Insulator Technology: Materials to VLSI* (3rd ed.). Boston, MA: Springer US, 2004.

[3] Martino, J. A.; Pavanello, M. A.; Verdonck, P. B. *Caracterização elétrica de tecnologia e dispositivos MOS*. São Paulo: Pioneira Thomson Learning, 2003.